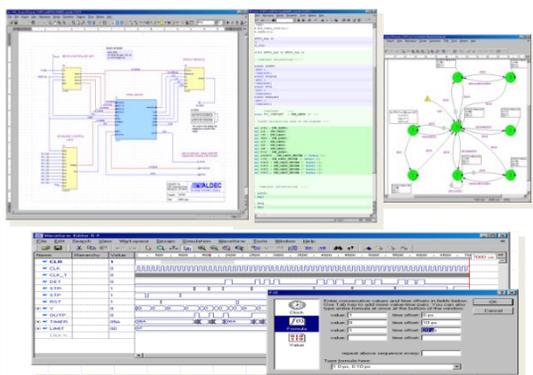


FPGA向けの設計とシミュレーションの統合環境

HDL デザイン作成

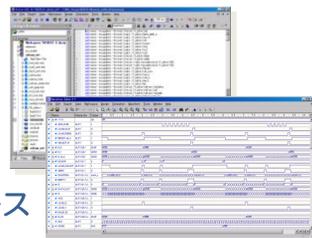
入力パターン作成

- ・グラフィカルエディタ (ブロック/ステート)
- ・IP コア生成
- ・テンプレート生成
- ・グラフィック変換機能
- ・波形からのテストベンチ生成
- ・波形エディタ



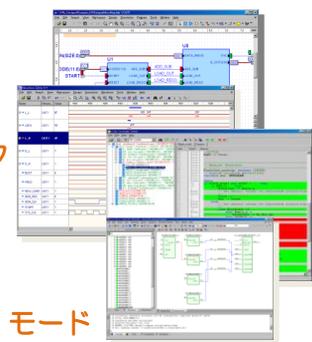
高速シミュレーション

- ・シングルカーネルアーキテクチャ
- ・VHDL、Verilog、EDIF、SystemVerilog (design) 混在
- ・SVA、PSL、OVA アサーション
- ・SystemC 協調シミュレーション
- ・MATLAB/Simulink インタフェース
- ・Xilinx SecureIPサポート
- ・PLI、VPI、VHPI、DPI インタフェース

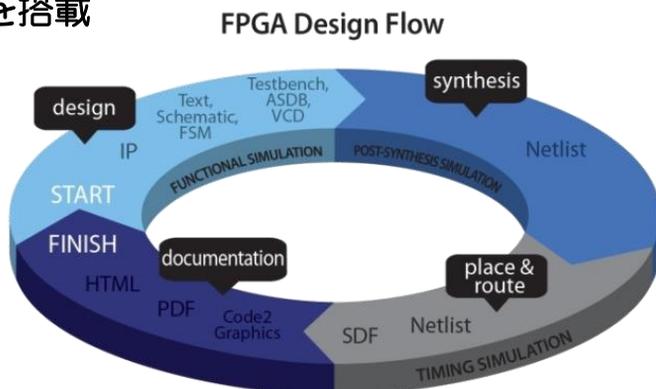


高機能デバッグ

- ・波形比較機能
- ・コード/ トグルカバレッジ
- ・波形イベントからソースへのリンク
- ・グラフィカルプローブ機能
- ・Memory ウィンドウ
- ・高機能データフローウィンドウ
- ・C デバッグモード
- ・ポストシミュレーションデバッグ・モード



- ブロック・ダイアグラムやステートマシン・エディタが付属
さらにHDL コードからグラフィカルへの変更が可能、仕様書作成に便利
- 混在言語対応シミュレータ (VHDL, VerilogおよびSystemVerilog (design))
- Xilinx Vivado/ISE、Intel(Altera) Quartus といったFPGA 開発ツール、
および論理合成ツールと統合が可能
- MATLAB/Simulink インタ下フェースを搭載
- 最新のHDL標準暗号化 IPをサポート
- チームベースのデザイン管理機能を提供
- デザインドキュメントをHTMLやPDFで
自動生成、すぐにデザインを共有可能
- Windows 32/64bit をサポート
- Spec-TRACER とシームレスに統合



・商品ページは[コチラ](#)から

・お問合せは[コチラ](#)から