



Getting started with Artix-7 PMIC EVK

Revision 1.4

Authors:

Kunihiko Akama, Application Engineer

AVNET Japan

Getting started with Artix-7 PMIC EVK Quick Start Guide

Introduction

近年、FPGAの電源設計では、FPGAが要求する複数の高精度且つ、低電圧の出力と、FPGAの起動とシャットダウン時の確実なシーケンスの対応等、高度に統合された電源ソリューションが求められます。

BD96801Q30-Cは、これらの要件を早期に、且つ容易に満たすべく開発されたFPGA向け Scalable PMICの第一弾製品となります。

対象のFPGAはAMD社のFPGAである Artix7,Spartan7シリーズで各種FPGAからの要件を満たす設定は既に完了済です。本ドキュメントは、こちらのPMICの特長をユーザーの皆様がFPGA（Artix7）との組み合わせでご評価いただく為のEVKに向けた説明書になります。

EVK description

TP601:
12VIN 1-2
USB PD 2-3

CN130:
STBY 1-2
ENABLE 3-4

Primary buck regulator
BD9F5A0QUZ

EEPROM 1kb

PMIC

BD96801Q30-C

Termination regulator
BD353A0FJ-M

DDR3L 512MB

FPGA Artix-7
XC7A25T

JTAG port

Mode

System Clock

PCI-e connector

12V input power
supply connector

USB Type-C PD
input power supply
connector

USB Type-C PD
BD93F10MWV

PMOD Connector

Program

System Reset

User switches

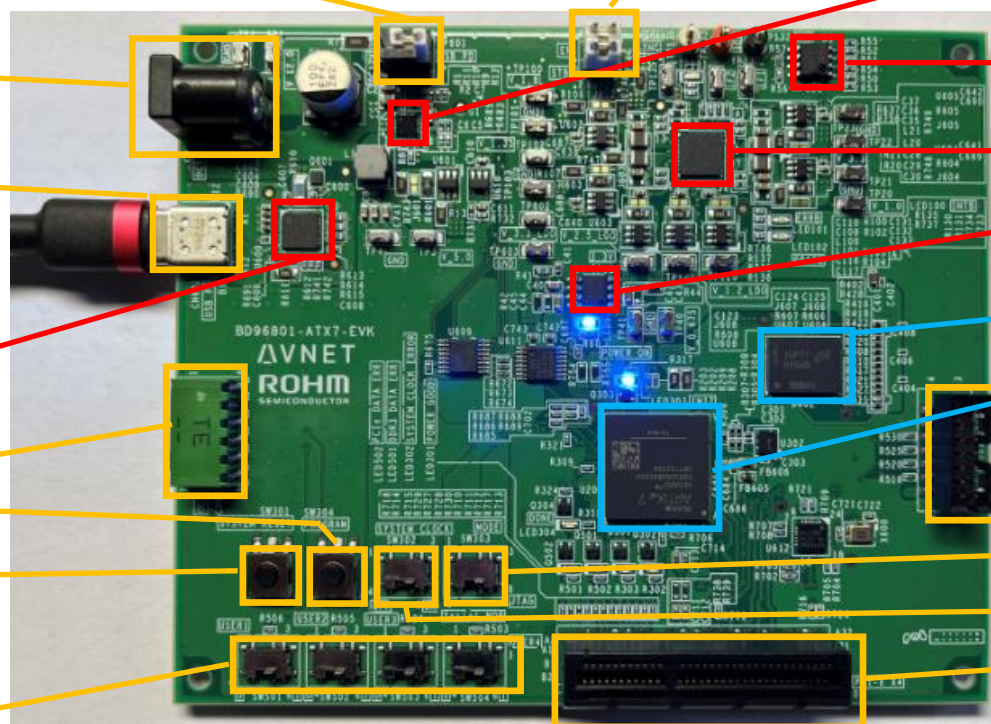


Figure 1: Artix-7 PMIC EVK

ボードのほぼ中央やや右下に実装されているのが Artix7 FPGA で 128Mb フラッシュメモリと 512MB DDR3L メモリに接続されています。クロックは 200MHz の外部発振器によって動作します。

このシステムは 1 次側降圧電源 BD9F5A0QUZ、2 次側 PMIC BD96801Q30-C、ターミネーションレギュレータ BD353A0FJ-M から電力供

給されます。また、USB Type-C PD コントローラ BD93F10MWV を搭載し、9V/12V/15V の 1 次側受電も可能です。

PMIC には Artix7 からの要求を満たす出力電圧、電流の保護、立ち上がりシーケンス、立ち下がりシーケンスなど、必要なすべての設定が OTP(One Time Programable memory)によって事前に書き込みされています。必要に応じて、

Getting started with Artix-7 PMIC EVK Quick Start Guide

これらの設定は I2C インタフェースを経由してオンボード EEPROM をプログラミングすることで調整ができます。EEPROMにプログラムされた場合、PMIC の設定は起動時にその

内容で初期化されます。EVK には 4 つのプログラムに使用可能なスイッチと PCI-e のコネクタがあります。

Power tree

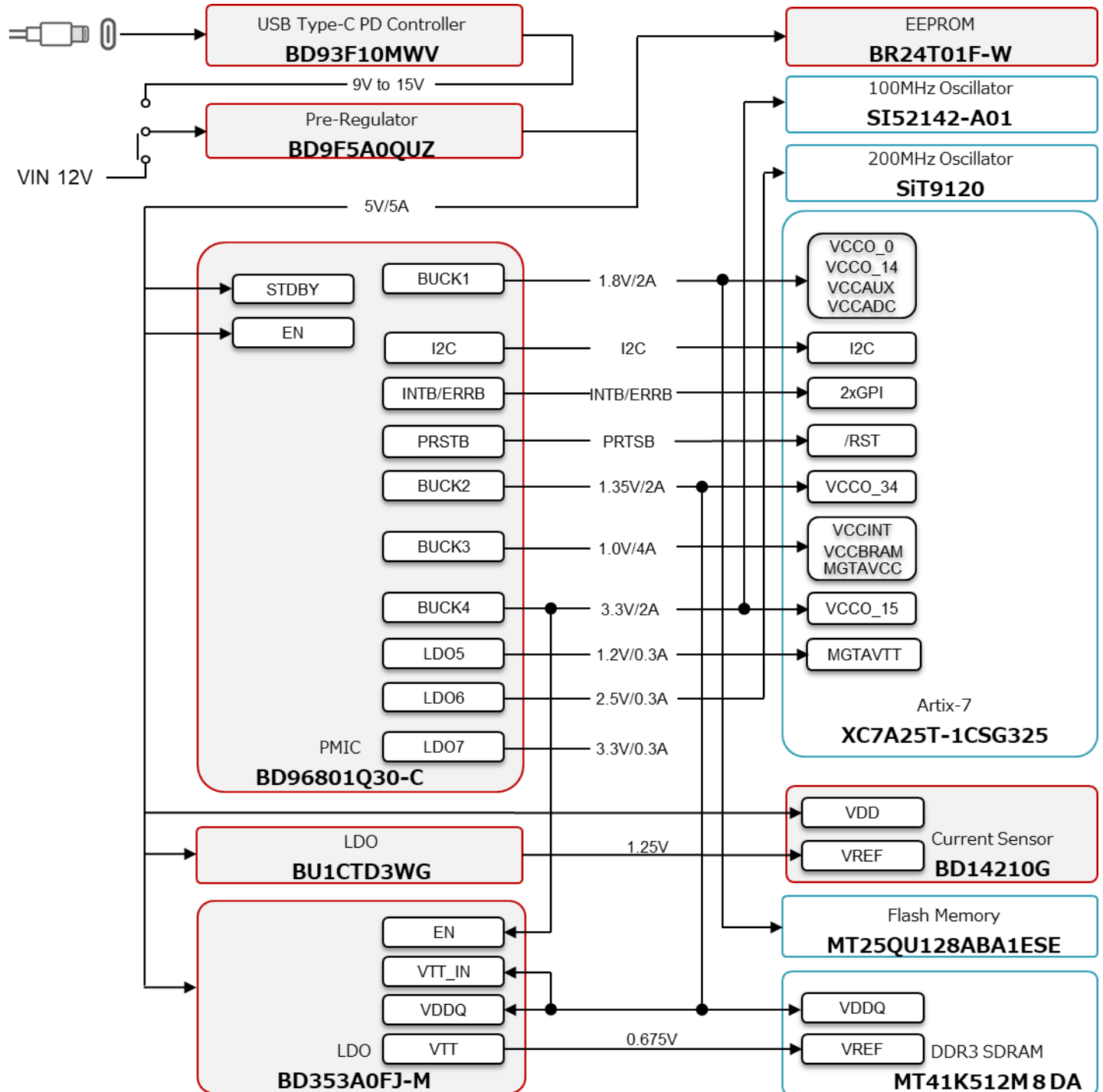


Figure 2: power tree

Getting started with Artix-7 PMIC EVK Quick Start Guide

Power-up

ボードの電源供給は次の手順で行います。

1. TP601 の 3 ピンポストにショートジャンパーを使用し 1-2(12VIN)または 2-3(USB PD)の外部電源を選択します。
2. CN130 の 1-2 (STBY)、3-4 (ENABLE) をショートジャンパーでイネーブルに設定します。
3. DC 12V または USB PD から電源を供給します。
4. オンボードフラッシュに FPGA のデフォルトプログラムがインストールされている場合、次の LED が点灯します。

LED60, LED301, LED304 (全て青色)

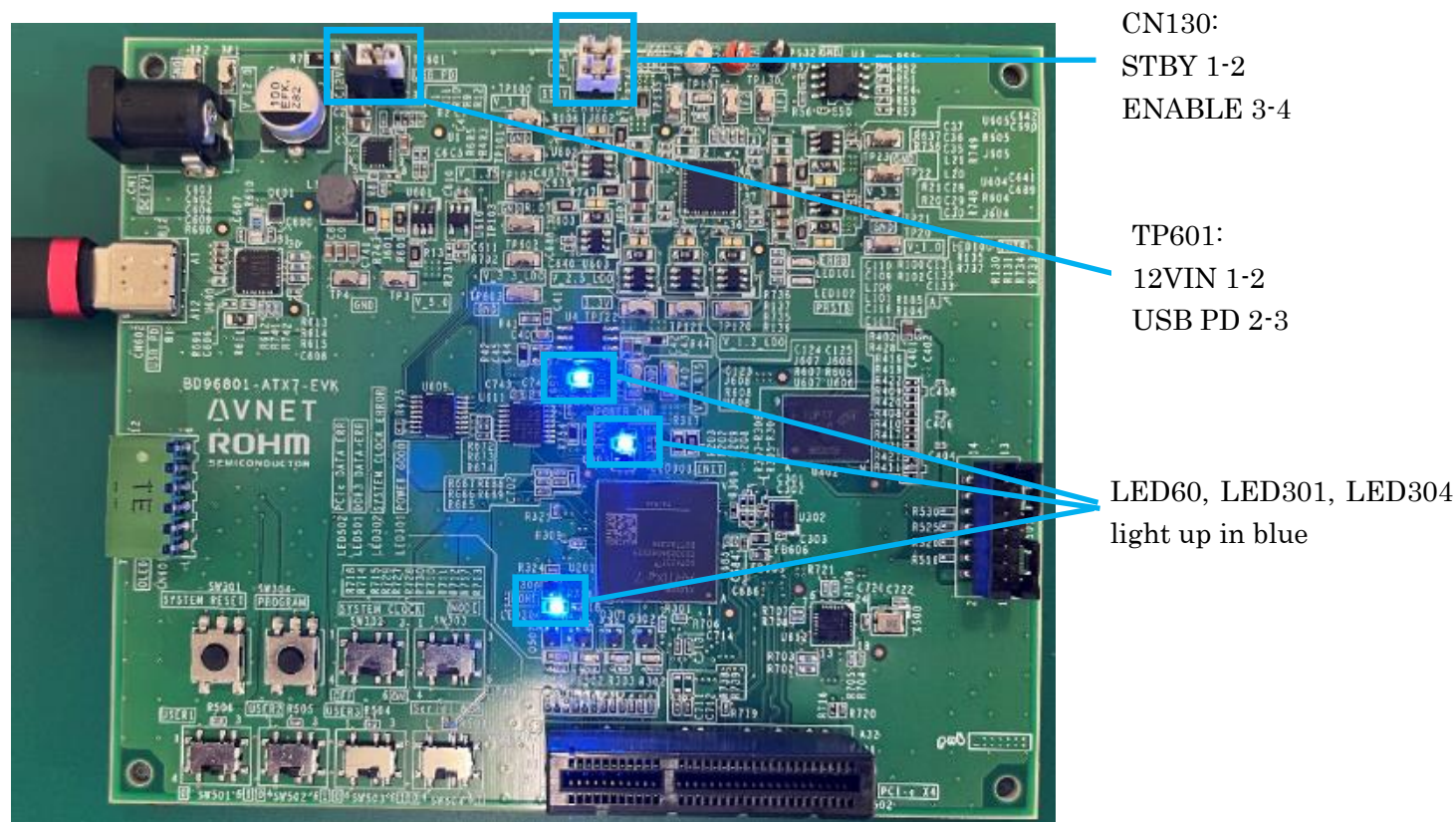


Figure 3: LEDs

オンボードスイッチ

Artix7 PMIC EVK には、2つのプッシュボタンと6つのスイッチがあります。4つの USER1～4のスイッチは、FPGA 内部のプログラムで自由に使用できる入力スイッチです。

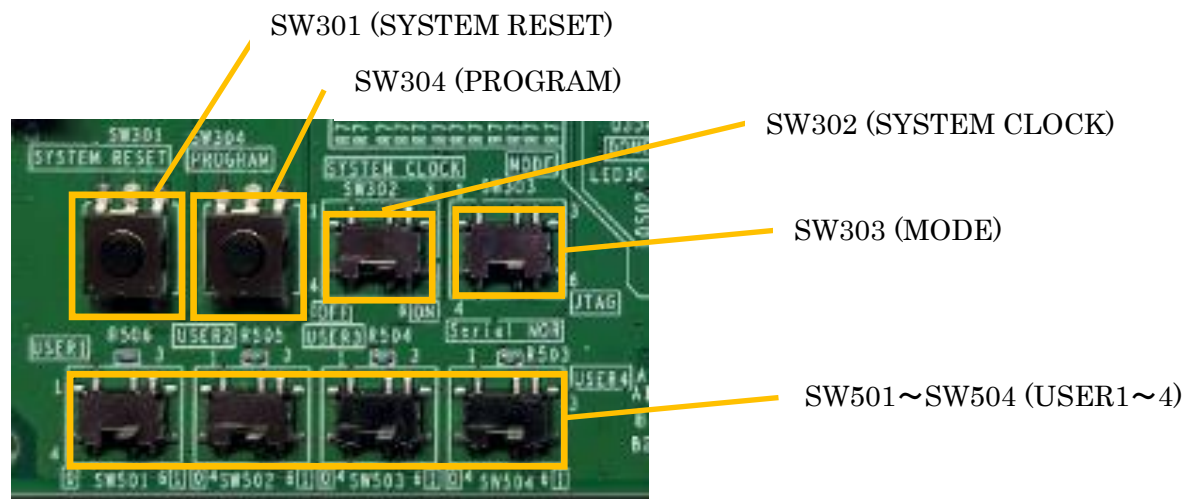


Figure 4: top: 2 system pushbuttons and 2 system switches; bottom: 4 user switches

システムボタンと以下の SW301～SW304 の4つのスイッチがあります。

SW301 (Reset): システムリセットボタン

このボタンを押すと、システムがリセットされて再起動します。

SW302 (OSC): オシレータ駆動スイッチ Default = ON

OFF の場合 200MHz のオシレータ（システムクロック）の出力はハイ・インピーダンスです。

SW303 (MODE): コンフィグレーションモードスイッチ Default = Low (NOR)

このスイッチは、Artix7 FPGA に CN501 (JTAG コネクタ) からプログラムデータを書き込む時に High (Serial) に設定します。

SW304 (PROGRAM): 再コンフィグレーション

プッシュボタン SW304 を押すと、FPGA コンフィグレーションがクリアされ、新しいコンフィグレーションシーケンスが開始されます。

SW501~SW504 (USER1~USER4): 4つのユーザースイッチ

ユーザーは、独自の Artix7 ソフトウェア開発に使用可能です。

Switch	Name	Pin#
SW501	IO_L13P_T2_MRCC_14	T14
SW502	IO_L12N_T1_MRCC_14	R15
SW503	IO_L12P_T1_MRCC_14	P14
SW504	IO_L11N_T1_SRCC_14	P16

Table 1: input pin assignment for user switches

Getting started with Artix-7 PMIC EVK Quick Start Guide

さらに、AVNET はスイッチ USER1～4 の機能を次のように事前にプログラムしています。SW504 (USER4)=0 は電流測定モードに入ります。EVK は、各チャンネルに電流センサー IC が取り付けられているため、8つの異なる出力チャンネル(表 2 を参照)の電流を測定できます。各電流センサアンプの出力電圧は、測定された電流に比例します。

ユーザースイッチ SW501 (USER1)～SW503 (USER3) は、アナログマルチプレクサ BU4051BCFV (U609) を介して電流センサ出力の 1 つを選択し、それが FPGA に送信されます。

SW501 (USER1)	SW502 (USER2)	SW503 (USER3)	SW504 (USER4)	電流測定結果の出力
0	0	0	0	CH1: U1 DCDC (5V)
1	0	0	0	CH2: U2 BUCK1 (1.8V)
0	1	0	0	CH3: U2 BUCK2 (1.35V)
1	1	0	0	CH4: U2 BUCK3 (1.0V)
0	0	1	0	CH5: U2 BUCK4 (3.3V)
1	0	1	0	CH6: U2 LDO5 (1.2V)
0	1	1	0	CH7: U2 LDO6 (2.5V)
1	1	1	0	CH8: U2 LDO7 (3.3V)

Table 2: The channel selection of voltage detection (User 1 to 4 of AVNET's original designed.)

また、SW504 (USER4) =1 で FPGA から DDR3L へ書き込むデータパターン選択モードとなり、USER1～3 の制御で選択されたデータパターンが DDR3L に取り込まれます。

SW501 (USER1)	SW502 (USER2)	SW503 (USER3)	SW504 (USER4)	Data Pattern Generation & Check
0	0	0	1	PN15
1	0	0	1	PN7
0	1	0	1	FFh
1	1	0	1	00h
0	0	1	1	Don't Care (PN15 selected)
1	0	1	1	Don't Care (PN15 selected)
0	1	1	1	Don't Care (PN15 selected)
1	1	1	1	Don't Care (PN15 selected)

Table 3: The data pattern generation and check circuit (User 1 to 4 of AVNET's original designed.)

General purpose FPGA I/Os

Artix7 ボードは、汎用インタフェースとして PCI-e のトランシーバ(Gen1.1) を備えています。アドイン・カード側として PC のシステム・ボード側と接続することが可能です。



Figure 5: general purpose FPGA I/Os

Getting started with Artix-7 PMIC EVK Quick Start Guide

CN502					
A1	PRSENT1 #		B1	12V	12V Power (unused)
A2	12V	12V Power (unused)	B2	12V	12V Power (unused)
A3	12V	12V Power (unused)	B3	RSVD	12V Power (unused)
A4	GND	Power GND	B4	GND	Power GND
A5	JTAG2	(Unused)	B5	SMCLK	(Unused)
A6	JTAG3	(Unused)	B6	SMDAT	(Unused)
A7	JTAG4	(Unused)	B7	GND	Power GND
A8	JTAG5	(Unused)	B8	3.3V	3.3V Power input
A9	3.3V	3.3V Power input	B9	JTAG1	(Unused)
A10	3.3V	3.3V Power input	B10	3.3VAUX	3.3V Power input (unused)
A11	PERST#	Reset input	B11	WAKE#	Wakeup
A12	GND	Power GND	B12	RSVD	Reserved
A13	REFCLK+	Clock input +	B13	GND	Power GND
A14	REFCLK-	Clock input -	B14	PET+0	Send Data 0+
A15	GND	Power GND	B15	PET-0	Send Data 0 -
A16	PER+0	Receive Data 0 +	B16	GND	Power GND
A17	PER-0	Receive Data 0 -	B17	PRSENT2#	Status Notification
A18	GND	Power GND	B18	GND	Power GND
A19	RSVD	Reserved	B19	PET+1	Send Data 1 +
A20	GND	Power GND	B20	PET-1	Send Data 1 -
A21	PER+1	Receive Data 1 +	B21	GND	Power GND
A22	PER-1	Receive Data 1 -	B22	GND	Power GND
A23	GND	Power GND	B23	PET+2	Send Data 2 +
A24	GND	Power GND	B24	PET-2	Send Data 2 -
A25	PER+2	Receive Data 2 +	B25	GND	Power GND
A26	PER-2	Receive Data 2 -	B26	GND	Power GND
A27	GND	Power GND	B27	PET+3	Send Data 3 +
A28	GND	Power GND	B28	PET-3	Send Data 3 -
A29	PER+3	Receive Data 3 +	B29	GND	Power GND
A30	PER-3	Receive Data 3 -	B30	RSVD	Reserved
A31	GND	Power GND	B31	PRSENT2#	Status Notification
A32	RSVD	Reserved	B32	GND	Power GND

Table 4: Pin-out connector CN502

JTAG interface

JTAG コネクタから Artix7 FPGA プログラムデータの書き込みと読み出しを行います。

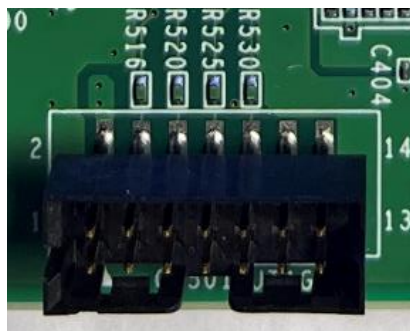


Figure 6: JTAG connector

CN501			
open	Pin 1	Pin 2	V_1.8
GND	Pin 3	Pin 4	TMS
GND	Pin 5	Pin 6	TCK
GND	Pin 7	Pin 8	TDO
GND	Pin 9	Pin 10	TDI
GND	Pin 11	Pin 12	open
GND	Pin 13	Pin 14	open

Figure 7: Pin-out JTAG connector

I2C interface

テストピン TP132~134 から PMIC BD96801Q30-C のレジスタ（ステータスレジスタなど）を読み取るための I2C バスへの通信が可能です。

ボード上の EEPROM をプログラミングして、PMIC BD96801Q30-C の設定を変更する場合にもこのテストピンを使用します。

注意：設定を変更するときは、誤った設定により PMIC BD96801Q30-C や FPGA を破損させるケースが考えられますので、十分にご注意ください。

PMIC の 7 ビットデバイスターゲットアドレスは 0x60 です。EEPROM の 7 ビットデバイスターゲットアドレスは 0x50。

I2C 信号は、5V で給電されていますのでご注意ください。

I2C インタフェースのピンアサインは以下の通りです。

TP132:GND
TP133:SDA
TP134:SCL



Getting started with Artix-7 PMIC EVK Quick Start Guide

Figure 8: I2C interface

How to measurement and calculation the current consumptions

Artix-7 PMIC EVK は、DCDC コンバータ BD9F5A0QUZ と PMIC BD96801Q30-C の各出力の電流を測定するために電流センサーBD14210 -LATR (U601~U608) を搭載しています。

また、それぞれの電流センサーの出力は、BU4051BCFV (U609)のアナログマルチプレクサで CH 選択され FPGA に取り込まれます。

それぞれの電流は、電流センサーの電圧とシャント抵抗の出力電圧から、以下の計算式で求めます。

$$V_{OUT} = (R_{shunt} \times I_{load} \times GAIN) + V_{ref}$$

Rshunt: Shunt Register (5mΩ, 10mΩ)

Iload : Load current

GAIN: Amplifier Gain (20)

Vref: Voltage reference (1.25V)

DCDC, BUCK1~4 : $V_{OUT} = (5m\Omega \times I_{load} \times 20) + 1.25V$

LDO5~7 : $V_{OUT} = (10m\Omega \times I_{load} \times 20) + 1.25V$

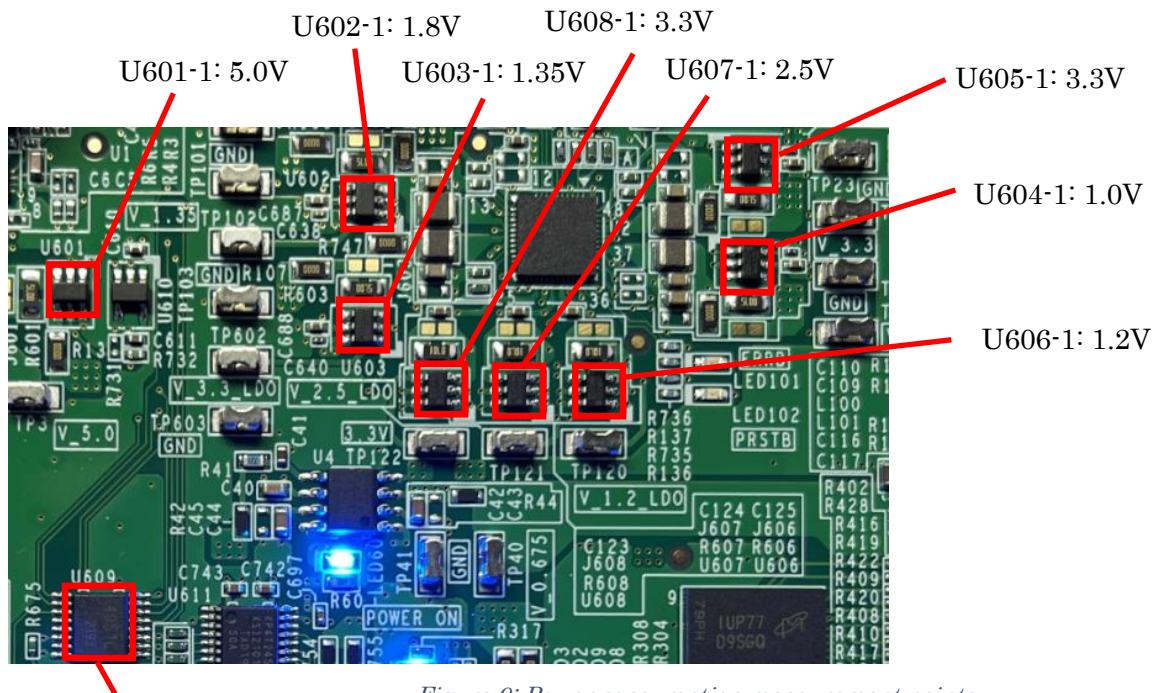
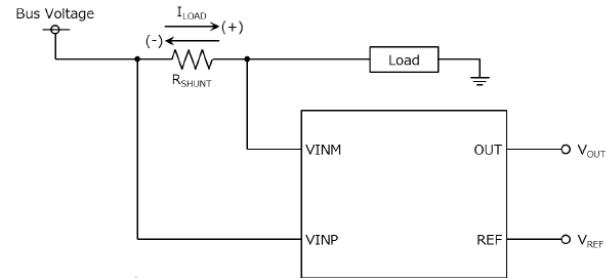
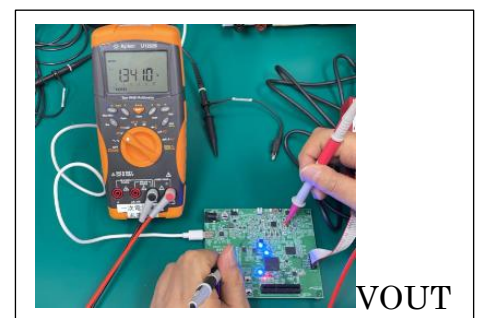
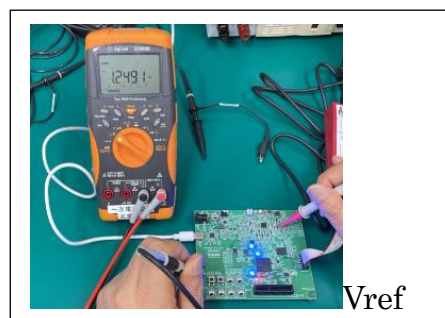
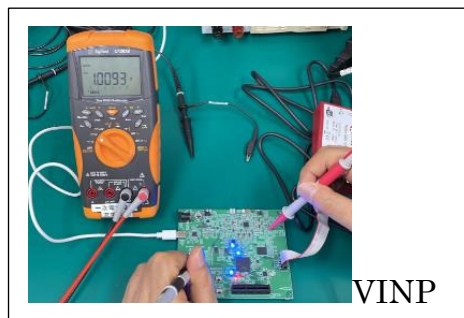


Figure 9: Power consumption measurement points

U609: Analog Multiplexer



Getting started with Artix-7 PMIC EVK Quick Start Guide

Figure 10: How to measure power consumption

Power sequencing

以下は、電源投入後のパワーアップ・シーケンス、及び CN130 の 3-4 のショートバー抜去時 (Disable) のパワーダウン・シーケンスを示します。

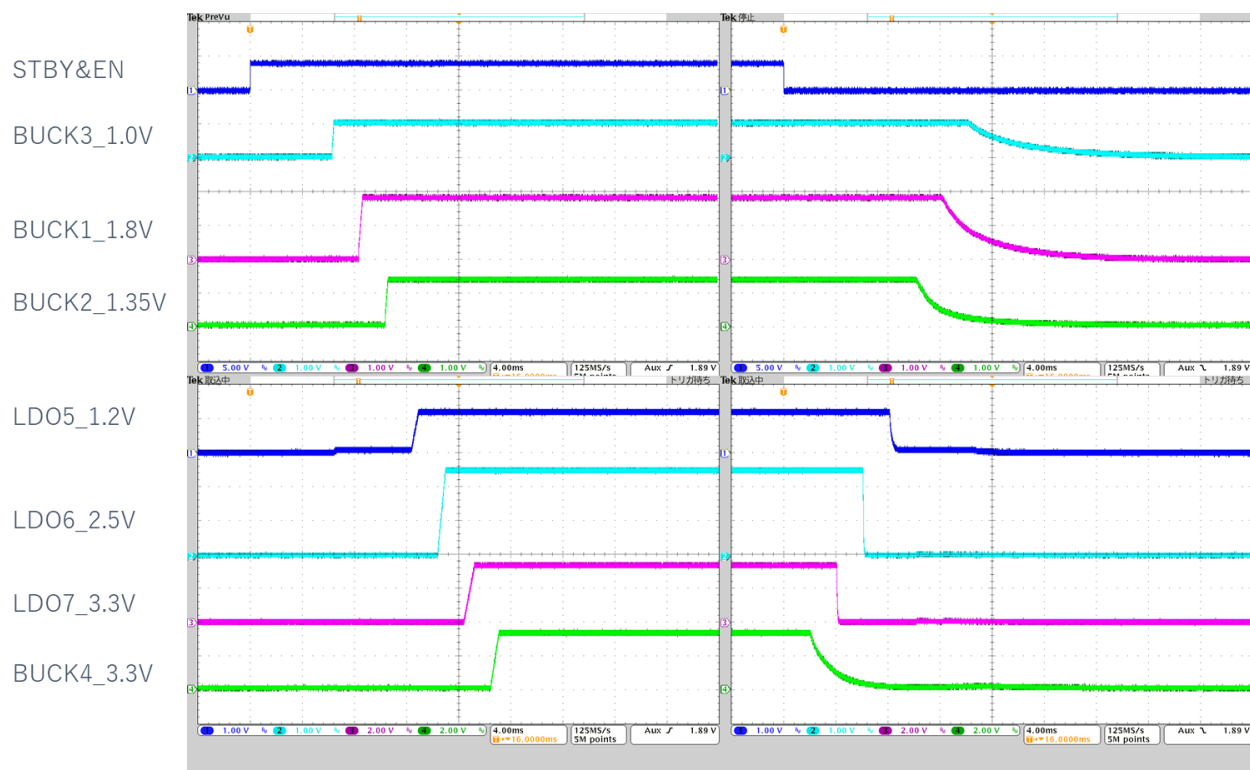


Figure 11: Measured waveform of Power-up and Power-down sequence